

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

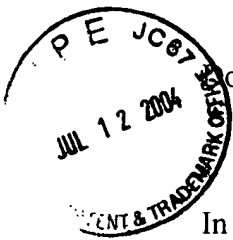
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



ocket No.: 60188-808

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Masanori SHIRAHAMA, et al.	:	Confirmation Number: 5847
Serial No.: 10/802,860	:	Group Art Unit: 2818
Filed: March 18, 2004	:	Examiner: [case_examiner]
For: SEMICONDUCTOR STORAGE CIRCUIT AND LAYOUT METHOD FOR THE SAME	:	

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT(S)

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

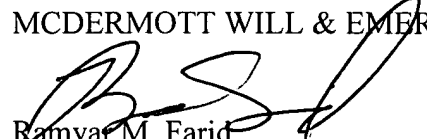
At the time the above application was filed, priority was claimed based on the following application(s):

Japanese Patent Application No. 2003-073225, filed March 18, 2003.

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP


Ramyar M. Farid
Registration No. 46,692

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 RMF:MWE
Facsimile: (202) 756-8087
Date: July 12, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-808
Shirahama et al.
March 18, 2004
19802,860

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 3月18日

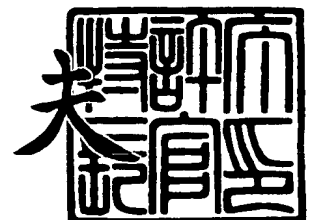
出 願 番 号
Application Number: 特願2003-073225
[ST. 10/C]: [JP2003-073225]

出 願 人
Applicant(s): 松下電器産業株式会社

2004年 2月10日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2004-3008279

【書類名】 特許願

【整理番号】 5037640125

【提出日】 平成15年 3月18日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/407

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 白▲濱▼ 政則

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 縣 政志

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶回路およびそのレイアウト方法

【特許請求の範囲】

【請求項 1】 複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路であって、

前記メモリセルサブアレイのビット線方向の列に対応して設けられ、当該列に属する一または複数の前記メモリセルサブアレイのメモリセルに対してデータアクセスを行うデータアクセス回路および当該データアクセス回路を駆動する第 1 のドライバ回路を有するデータアクセス回路部と、

前記第 1 のドライバ回路を介して前記データアクセス回路の動作を制御する制御回路部とを備え、

前記データアクセス回路部は、少なくとも一つの前記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されていることを特徴とする半導体記憶回路。

【請求項 2】 請求項 1 に記載の半導体記憶回路において、

前記データアクセス回路部がワード線方向に配置されるピッチが、前記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであることを特徴とする半導体記憶回路。

【請求項 3】 請求項 1 に記載の半導体記憶回路において、

前記メモリセルサブアレイのビット線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部と、

前記電源回路部の電圧供給動作を制御する電源制御回路部とを備え、

前記電源回路部は、少なくとも一つの前記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されていることを特徴とする半導体記憶回路。

【請求項 4】 請求項 3 に記載の半導体記憶回路において、

前記電源回路部がワード線方向に配置されるピッチが、前記メモリセルサブア

レイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであることを特徴とする半導体記憶回路。

【請求項 5】 請求項 1 に記載の半導体記憶回路において、
前記メモリセルアレイのワード線を選択するロウデコーダ回路を備え、
前記データアクセス回路部は、前記メモリセルアレイのデータ線を駆動するデータ線ドライバ回路を有し、
前記制御回路部は、第 2 のドライバ回路を有し、前記第 2 のドライバ回路を介して前記ロウデコーダ回路の動作をも制御し、
前記データ線ドライバ回路と前記第 2 のドライバ回路とは、直線状に配置されていることを特徴とする半導体記憶回路。

【請求項 6】 請求項 1 に記載の半導体記憶回路において、
前記メモリセルアレイに属するメモリセルサブアレイは、メモリセルの配線が中断される中断領域を含むものであり、
前記第 1 のドライバ回路は、前記データアクセス回路部において、前記中断領域からビット線方向に延びた領域に配置されていることを特徴とする半導体記憶回路。

【請求項 7】 請求項 6 に記載の半導体記憶回路において、
前記中断領域は、前記メモリセルアレイに属するメモリセルサブアレイのワード線の抵抗を低減するための裏打ち配線のコンタクト領域であることを特徴とする半導体記憶回路。

【請求項 8】 請求項 6 に記載の半導体記憶回路において、
前記中断領域は、前記メモリセルアレイに属するメモリセルサブアレイについて設けられたサブワードドライバの領域であることを特徴とする半導体記憶回路。

【請求項 9】 複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路であって、

前記メモリセルサブアレイのワード線方向の列に対応して設けられ、当該列に属する一または複数の前記メモリセルサブアレイのワード線を選択するロウデコーダ回路および当該ロウデコーダ回路を駆動するロウデコーダドライバ回路を有するロウデコーダ部と、

前記ロウデコーダドライバ回路を介して前記ロウデコーダ回路の動作を制御する制御回路部とを備え、

前記ロウデコーダ部は、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されていることを特徴とする半導体記憶回路。

【請求項 1 0】 請求項 9 に記載の半導体記憶回路において、

前記ロウデコーダ部がビット線方向に配置されるピッチが、前記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであることを特徴とする半導体記憶回路。

【請求項 1 1】 請求項 9 に記載の半導体記憶回路において、

前記メモリセルサブアレイのワード線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部と、

前記電源回路部の電圧供給動作を制御する電源制御回路部とを備え、

前記電源回路部は、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されていることを特徴とする半導体記憶回路。

【請求項 1 2】 請求項 1 1 に記載の半導体記憶回路において、

前記電源回路部がビット線方向に配置されるピッチが、前記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであることを特徴とする半導体記憶回路。

【請求項 1 3】 請求項 9 に記載の半導体記憶回路において、

前記メモリセルアレイのメモリセルに対してデータアクセスを行うデータアクセス回路を備え、

前記ロウデコーダ部は、前記ロウデコーダ回路によって選択された前記メモリセルアレイのワード線を駆動するワード線ドライバ回路を有し、

前記制御回路部は、第 3 のドライバ回路を有し、前記第 3 のドライバ回路を介して前記データアクセス回路の動作をも制御し、

前記ワード線ドライバ回路と前記第 3 のドライバ回路とは、直線状に配置されている

ことを特徴とする半導体記憶回路。

【請求項 1 4】 複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路であって、

前記メモリセルサブアレイのビット線方向の列に対応して設けられ、当該列に属する一または複数の前記メモリセルサブアレイに対してデータアクセスを行うデータアクセス回路および当該データアクセス回路を駆動する第 1 のドライバ回路を有するデータアクセス回路部と、

前記メモリセルサブアレイのワード線方向の列に対応して設けられ、当該列に属する一または複数の前記メモリセルサブアレイのワード線を選択するロウデコーダ回路および当該ロウデコーダ回路を駆動するロウデコーダドライバ回路を有するロウデコーダ部と、

前記第 1 のドライバ回路を介して前記データアクセス回路の動作を制御し、また、前記ロウデコーダドライバ回路を介して前記ロウデコーダ回路の動作を制御する制御回路部とを備え、

前記データアクセス回路部は、少なくとも一つの前記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置され、

前記ロウデコーダ部は、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されていることを特徴とする半導体記憶回路。

【請求項 1 5】 請求項 1 4 に記載の半導体記憶回路において、

前記データアクセス回路部がワード線方向に配置されるピッチが、前記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡

張する際の回路拡張単位のワード線方向の長さに相当するものであり、

前記ロウデコーダ部がビット線方向に配置されるピッチが、前記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであることを特徴とする半導体記憶回路。

【請求項 16】 請求項 14 に記載の半導体記憶回路において、

前記メモリセルサブアレイのビット線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部と、

前記電源回路部の電圧供給動作を制御する電源制御回路部とを備え、

前記電源回路部は、少なくとも一つの前記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されていることを特徴とする半導体記憶回路。

【請求項 17】 請求項 16 に記載の半導体記憶回路において、

前記電源回路部がワード線方向に配置されるピッチが、前記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであることを特徴とする半導体記憶回路。

【請求項 18】 請求項 14 に記載の半導体記憶回路において、

前記メモリセルサブアレイのワード線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部と、

前記電源回路部の電圧供給動作を制御する電源制御回路部とを備え、

前記電源回路部は、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されていることを特徴とする半導体記憶回路。

【請求項 19】 請求項 18 に記載の半導体記憶回路において、

前記電源回路部がビット線方向に配置されるピッチが、前記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであることを特徴とする半導体記憶回路。

【請求項 20】 請求項 3、11、16 および 18 のいずれか一つに記載の半導体記憶回路において、

前記電源回路部は、前記メモリセルサブアレイのビット線のプリチャージ電圧を供給するビット線プリチャージ電源回路、および前記メモリセルサブアレイのワード線の活性電圧を供給するワード線電源回路の、少なくともいずれかを有する

ことを特徴とする半導体記憶回路。

【請求項 21】 複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路のレイアウト方法であって、

前記メモリセルサブアレイと、前記メモリセルサブアレイのビット線方向の列に対応して設けられ、当該列に属する一または複数の前記メモリセルサブアレイのメモリセルに対してデータアクセスを行うデータアクセス回路および当該データアクセス回路を駆動する第 1 のドライバ回路を有するデータアクセス回路部とを、それぞれレイアウトするステップと、

前記メモリセルサブアレイと、前記データアクセス回路部とを、前記データアクセス回路部が、少なくとも一つの前記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されるように、ワード線方向に反復配置するステップとを備えた

ことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 22】 請求項 21 に記載の半導体記憶回路のレイアウト方法において、

前記データアクセス回路部がワード線方向に配置されるピッチが、前記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものである

ことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 23】 請求項 21 に記載の半導体記憶回路のレイアウト方法において、

前記メモリセルサブアレイのビット線方向の列に対応して設けられ、半導体記

憶回路内で用いられる電源電圧を供給する電源回路部をレイアウトするステップと、

前記電源回路部を、少なくとも一つの前記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されるように、ワード線方向に反復配置するステップとを備えたことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 2 4】 請求項 2 3 に記載の半導体記憶回路のレイアウト方法において、

前記電源回路部がワード線方向に配置されるピッチが、前記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであることを特徴とする半導体記憶回路のレイアウト方法。

【請求項 2 5】 請求項 2 1 に記載の半導体記憶回路のレイアウト方法において、

第 2 のドライバ回路を有し、前記第 2 のドライバ回路を介して前記メモリセルアレイのワード線を選択するロウデコード回路の動作を制御する制御回路部をレイアウトするステップと、

前記制御回路部を、前記データアクセス回路部とともにワード線方向に配置されるように配置するステップとを備え、

前記データアクセス回路部は、前記メモリセルアレイのデータ線を駆動するデータ線ドライバ回路を有し、

前記データ線ドライバ回路と前記第 2 のドライバ回路とは、直線状に配置される

ことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 2 6】 請求項 2 5 に記載の半導体記憶回路のレイアウト方法において、

前記データ線ドライバ回路および前記第 2 のドライバ回路のビット線方向の長さは、前記メモリセルサブアレイのビット線方向の配置を増減して、半導体記憶回路の記憶容量を拡張する際に、対応して拡張される

ことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 2 7】 複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路のレイアウト方法であって、

前記メモリセルサブアレイと、前記メモリセルサブアレイのワード線方向の列に対応して設けられ、当該列に属する一または複数の前記メモリセルサブアレイのワード線を選択するロウデコード回路および当該ロウデコード回路を駆動するロウデコードドライバ回路を有するロウデコード部とを、それぞれレイアウトするステップと、

前記メモリセルサブアレイと、前記ロウデコード部とを、前記ロウデコード部が、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されるよう、ビット線方向に反復配置するステップとを備えた

ことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 2 8】 請求項 2 7 に記載の半導体記憶回路のレイアウト方法において、

前記ロウデコード部がビット線方向に配置されるピッチが、前記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものである

ことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 2 9】 請求項 2 7 に記載の半導体記憶回路のレイアウト方法において、

前記メモリセルサブアレイのワード線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部をレイアウトするステップと、

前記電源回路部を、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されるように、ビット線方向に反復配置するステップとを備えた

ことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 30】 請求項 29 に記載の半導体記憶回路のレイアウト方法において、

前記電源回路部がビット線方向に配置されるピッチが、前記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであることを特徴とする半導体記憶回路のレイアウト方法。

【請求項 31】 請求項 27 に記載の半導体記憶回路のレイアウト方法において、

第 3 のドライバ回路を有し、前記第 3 のドライバ回路を介して前記メモリセルアレイのメモリセルに対してデータアクセスを行うデータアクセス回路の動作を制御する制御回路部をレイアウトするステップと、

前記制御回路部を、前記ロウデコーダ部とともにビット線方向に配置されるように配置するステップとを備え、

前記ロウデコーダ部は、前記ロウデコーダ回路によって選択された前記メモリセルアレイのワード線を駆動するワード線ドライバ回路を有し、

前記ワード線ドライバ回路と前記第 3 のドライバ回路とは、直線状に配置される

ことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 32】 請求項 31 に記載の半導体記憶回路のレイアウト方法において、

前記ワード線ドライバ回路および前記第 3 のドライバ回路のワード線方向の長さは、前記メモリセルサブアレイのワード線方向の配置を増減して、半導体記憶回路の記憶容量を拡張する際に、対応して拡張されることを特徴とする半導体記憶回路のレイアウト方法。

【請求項 33】 複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路のレイアウト方法であって、

前記メモリセルサブアレイと、前記メモリセルサブアレイのビット線方向の列に対応して設けられ、当該列に属する一または複数の前記メモリセルサブアレイ

のメモリセルに対してデータアクセスを行うデータアクセス回路および当該データアクセス回路を駆動する第1のドライバ回路を有するデータアクセス回路部と、前記メモリセルサブアレイのワード線方向の列に対応して設けられ、当該列に属する一または複数の前記メモリセルサブアレイのワード線を選択するロウデコード回路および当該ロウデコード回路を駆動するロウデコードドライバ回路を有するロウデコード部とを、それぞれレイアウトするステップと、

前記メモリセルサブアレイと、前記データアクセス回路部とを、前記データアクセス回路部が、少なくとも一つの前記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されるように、ワード線方向に反復配置し、かつ、前記メモリセルサブアレイと、前記ロウデコード回路部とを、前記ロウデコード回路部が、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されるように、ビット線方向に反復配置するステップとを備えたことを特徴とする半導体記憶回路のレイアウト方法。

【請求項34】 請求項33に記載の半導体記憶回路のレイアウト方法において、

前記データアクセス回路部がワード線方向に配置されるピッチが、前記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであり、

前記ロウデコード部がビット線方向に配置されるピッチが、前記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであることを特徴とする半導体記憶回路のレイアウト方法。

【請求項35】 請求項33に記載の半導体記憶回路のレイアウト方法において、

前記メモリセルサブアレイのビット線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部をレイアウトするステップと、

前記電源回路部を、少なくとも一つの前記メモリセルサブアレイがワード線方

向に配置されるピッチと同じピッチでワード線方向に配置されるように、ワード線方向に反復配置するステップとを備えたことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 36】 請求項 35 に記載の半導体記憶回路のレイアウト方法において、

前記電源回路部がワード線方向に配置されるピッチが、前記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであることを特徴とする半導体記憶回路のレイアウト方法。

【請求項 37】 請求項 33 に記載の半導体記憶回路のレイアウト方法において、

前記メモリセルサブアレイのワード線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部をレイアウトするステップと、

前記電源回路部を、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されるように、ビット線方向に反復配置するステップとを備えたことを特徴とする半導体記憶回路のレイアウト方法。

【請求項 38】 請求項 37 に記載の半導体記憶回路のレイアウト方法において、

前記電源回路部がビット線方向に配置されるピッチが、前記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであることを特徴とする半導体記憶回路のレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶回路に関し、特に、システム L S I や A S I C などへの搭載に好適な半導体記憶回路およびそのレイアウト方法の技術に属する。

【0002】

【従来の技術】

ロジックとメモリとを同一チップ上に混載したシステム・オン・チップあるいはシステム L S I や、特定用途向けに製造される A S I C (Application Specific Integrated Circuit) などのいわゆるメモリ混載 L S I は、近年、その回路規模の増大や内蔵する機能の複雑化および処理の高速化が目覚ましく進んでいる。そして、処理の高速化などに伴い、メモリ混載 L S I に搭載される記憶回路の記憶容量および入出力端子数もまた増大し続けている。

【0003】

メモリ混載 L S I において要求される記憶容量および I / O 幅は、ユーザの仕様に応じて増減する。したがって、従来の記憶回路の構成方法は、チップに搭載可能な最大の記憶容量および I / O 幅に合わせてドライバ回路を設け、そのドライバ回路の駆動能力を最大値に設定するというものである。これにより、混載 L S I が提供可能な機能の範囲内であれば、どのようなユーザ仕様に対しても対応可能となっている。

【0004】

メモリセルアレイの数の増減に伴う配置配線およびレイアウトを容易にすることを目的として、配線の混雑を緩和するよう回路配置を行う技術が開示されている(たとえば、特許文献1参照)。しかしながら、この技術に係るメモリでは、メモリセルアレイの動作を制御する制御信号線はメモリセルアレイの端部において集中的に駆動されるようになっている。このような構成では、制御信号線を駆動するドライバ回路の能力は、設定する記憶容量にあわせて個別に用意するか、または、設定され得る最大の記憶容量に合わせた大きな駆動能力としなければならない。

【0005】

【特許文献1】

特開 2002-25251 号公報

【0006】

【発明が解決しようとする課題】

従来のメモリ混載 L S I における記憶回路の構成は、最大の記憶容量および I / O 幅でその記憶回路が実現される場合には最適となる。しかし、実際に構成される記憶回路の記憶容量および I / O 幅が比較的少ない場合には、最大の記憶容量および I / O 幅に合わせて設計されたドライバ回路は、その記憶回路の負荷に対して過剰な駆動能力を有することになり、また、チップにおいて限られた回路領域を無駄に占有することとなる。また、内部電源回路を設ける必要のある D R A M (Dynamic Random Access Memory) などの記憶回路では、電源のドライバ回路の過剰な駆動能力によって、電力を無駄に消費してしまうこととなる。

【 0 0 0 7 】

一方、設定する記憶容量および I / O 幅に合わせてドライバ回路の駆動能力を個別に決定する場合には、設計が複雑化し、記憶容量の異なる品種の開発にかかる期間およびコストの増加という別の問題が生じることとなる。

【 0 0 0 8 】

上記問題に鑑み、本発明は、ドライバ回路の駆動能力を記憶容量等にあわせて最適化することで高速動作、あるいは、低消費電力動作を可能とし、かつ、チップ面積を小さく抑えながら、記憶容量が所望の値に設定された半導体記憶回路を提供することを課題とする。さらには、そのような半導体記憶回路を短期間に低コストで提供することを課題とする。

【 0 0 0 9 】

【課題を解決するための手段】

上記課題を解決するために、本発明が講じた手段は、複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路として、上記メモリセルサブアレイのビット線方向の列に対応して設けられ、当該列に属する一または複数の上記メモリセルサブアレイのメモリセルに対してデータアクセスを行うデータアクセス回路および当該データアクセス回路を駆動する第 1 のドライバ回路を有するデータアクセス回路部と、上記第 1 のドライバ回路を介して上記データアクセス回路の動作を制御する制御回路部とを備えたものとする。そして、上記データアクセス回路部は、少なくとも一つの上記メモリセルサブアレイがワード線方向

に配置されるピッチと同じピッチでワード線方向に配置されているものとする。

【0 0 1 0】

本発明によると、データアクセス回路部がデータアクセス回路のみでなく、それを駆動するドライバ回路をも含み、そのデータアクセス回路部が、少なくとも一つのメモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されるので、記憶容量の拡張のため、メモリセルサブアレイの配置数をワード線方向に増やす場合でも、それに対応してデータアクセス回路部の配置数を増やすだけで、ドライバ回路の能力が、全体として、データアクセス回路の駆動のために最適な値に設定される。また、データアクセス回路部内にドライバ回路を設けたので、制御回路部の駆動能力は小さくて済み、制御回路部は小さくすることができる。したがって、高速動作が可能で、かつ、チップ面積が小さく抑えられた半導体記憶回路を実現することができる。

【0 0 1 1】

好ましくは、上記データアクセス回路部がワード線方向に配置されるピッチが、上記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであるとする。

【0 0 1 2】

これによると、半導体記憶回路の記憶容量の拡張に応じて最適なドライバ回路の能力を、無駄な領域を生じることなく設定することができる。

【0 0 1 3】

また、好ましくは、上記半導体記憶回路は、上記メモリセルサブアレイのビット線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部と、この電源回路部の電圧供給動作を制御する電源制御回路部とを備えたものとする。そして、この電源回路部は、少なくとも一つの上記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されているものとする。

【0 0 1 4】

これによると、内部電源を必要とする、たとえば、DRAMなどの半導体記憶

回路について、その内部電源電圧を供給する電源回路部が、メモリセルサブアレイの列の数、すなわちメモリセルアレイの規模に応じた個数だけ設けられる。そして、電源回路部の電圧供給動作は、電源制御回路部によって制御される。これによって、電源回路の電流供給能力に過不足のない半導体記憶回路を実現することができる。

【0 0 1 5】

そして、より好ましくは、上記電源回路部がワード線方向に配置されるピッチが、上記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであるとする。

【0 0 1 6】

これによると、半導体記憶回路の記憶容量の拡張に応じて最適な電源回路の能力を、無駄な領域を生じることなく設定することができる。

【0 0 1 7】

また、好ましくは、上記半導体記憶回路は、上記メモリセルアレイのワード線を選択するロウデコーダ回路を備えたものとする。そして、上記データアクセス回路部は、上記メモリセルアレイのデータ線を駆動するデータ線ドライバ回路を有するものとする。また、上記制御回路部は、第2のドライバ回路を有し、この第2のドライバ回路を介し上記ロウデコーダ回路の動作をも制御するものとする。さらに、上記データ線ドライバ回路と上記第2のドライバ回路とは、直線状に配置されているものとする。

【0 0 1 8】

これによると、制御回路部のドライバ回路とデータ線ドライバ回路とが直線状に配置されるので、記憶容量の拡張に応じてそれらのドライバ回路の大きさを拡張する場合、直線状配置領域の幅を拡張するだけで良く、無駄な空白部分の発生が抑えられ、容易に小チップ面積の半導体記憶回路を実現することができる。

【0 0 1 9】

また、上記半導体記憶回路は、上記メモリセルアレイに属するメモリセルサブアレイは、メモリセルの配線が中断される中断領域を含むものであり、上記第1

のドライバ回路は、上記データアクセス回路部において、上記中断領域からビット線方向に延びた領域に配置されていることが好ましい。

【0020】

これによると、メモリセルサブアレイに中断領域が含まれる場合、データアクセス部のドライバ回路を、データアクセス部において、中断領域からビット線方向に延びた領域に配置することにより、通常は空き領域となっている当該領域を有効に活用して、半導体記憶回路の回路規模を最適化することができる。

【0021】

上記中断領域は、たとえば、上記メモリセルアレイに属するメモリセルサブアレイのワード線の抵抗を低減するための裏打ち配線のコンタクト領域、あるいは、上記メモリセルアレイに属するメモリセルサブアレイについて設けられたサブワードドライバの領域である。

【0022】

一方、上記課題を解決するために、本発明が講じた手段は、複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路として、上記メモリセルサブアレイのワード線方向の列に対応して設けられ、当該列に属する一または複数の上記メモリセルサブアレイのワード線を選択するロウデコード回路および当該ロウデコード回路を駆動するロウデコードドライバ回路を有するロウデコード部と、上記ロウデコードドライバ回路を介して上記ロウデコード回路の動作を制御する制御回路部とを備えたものとする。そして、上記ロウデコード部は、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されているものとする。

【0023】

本発明によると、ロウデコード部がロウデコード回路のみでなく、それを駆動するロウデコードドライバ回路をも含み、そのロウデコード部が、少なくとも一つのメモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されるので、記憶容量の拡張のため、メモリセルサブアレイの配置数をビット線方向に増やす場合でも、それに対応してロウデコード回路部の

配置数を増やすだけで、ロウデコーダドライバ回路の能力が、全体として、ロウデコーダ回路の駆動のために最適な値に設定される。また、ロウデコーダ部内にドライバ回路を設けたので、制御回路部の駆動能力は小さくて済み、制御回路部は小さくできる。したがって、高速動作が可能で、かつ、チップ面積が小さく抑えられた半導体記憶回路を実現することができる。

【0024】

好ましくは、上記ロウデコーダ部がビット線方向に配置されるピッチが、上記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであるとする。

【0025】

これによると、半導体記憶回路の記憶容量の拡張に応じて最適なロウデコーダドライバ回路の能力を、無駄な領域を生じることなく設定することができる。

【0026】

また、好ましくは、上記半導体記憶回路は、上記メモリセルサブアレイのワード線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部と、この電源回路部の電圧供給動作を制御する電源制御回路部とを備えたものとする。そして、この電源回路部は、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されているものとする。

【0027】

これによると、内部電源を必要とする、たとえば、DRAMなどの半導体記憶回路について、その内部電源電圧を供給する電源回路部が、メモリセルサブアレイの列の数、すなわちメモリセルアレイの規模に応じた個数だけ設けられる。そして、電源回路部の電圧供給動作は、電源制御回路によって制御される。これによって、電源回路の電流供給能力に過不足のない半導体記憶回路を実現することができる。

【0028】

そして、より好ましくは、上記電源回路部がビット線方向に配置されるピッチ

が、上記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであるとする。

【0029】

これによると、半導体記憶回路の記憶容量の拡張に応じて最適な電源回路の能力を、無駄な領域を生じることなく設定することができる。

【0030】

また、好ましくは、上記半導体記憶回路は、上記メモリセルアレイのメモリセルに対してデータアクセスを行うデータアクセス回路を備えたものとする。そして、上記ロウデコーダ部は、上記ロウデコーダ回路によって選択された上記メモリセルアレイのワード線を駆動するワード線ドライバ回路を有するものとする。また、上記制御回路部は、第3のドライバ回路を有し、この第3のドライバ回路を介して上記データアクセス回路の動作をも制御するものとする。さらに、上記ワード線ドライバ回路と上記第3のドライバ回路とは、直線状に配置されているものとする。

【0031】

これによると、制御回路部のドライバ回路とワード線ドライバ回路とが直線状に配置されるので、記憶容量の拡張に応じてそれらのドライバ回路の大きさを拡張する場合、直線状配置領域の幅を拡張するだけで良く、無駄な空白部分の発生が抑えられ、容易に小チップ面積の半導体記憶回路を実現することができる。

【0032】

一方、上記課題を解決するために、本発明が講じた手段は、複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路として、上記メモリセルサブアレイのビット線方向の列に対応して設けられ、当該列に属する一または複数の上記メモリセルサブアレイに対してデータアクセスを行うデータアクセス回路および当該データアクセス回路を駆動する第1のドライバ回路を有するデータアクセス回路部と、上記メモリセルサブアレイのワード線方向の列に対応して設けられ、当該列に属する一または複数の上記メモリセルサブアレイのワード線

を選択するロウデコーダ回路および当該ロウデコーダ回路を駆動するロウデコーダドライバ回路を有するロウデコーダ部と、上記第 1 のドライバ回路を介して上記データアクセス回路の動作を制御し、また、上記ロウデコーダドライバ回路を介して上記ロウデコーダ回路の動作を制御する制御回路部とを備えたものとする。そして、上記データアクセス回路部は、少なくとも一つの上記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されているとする。また、上記ロウデコーダ部は、少なくとも一つの上記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されているものとする。

【 0 0 3 3 】

本発明によると、データアクセス回路部がデータアクセス回路のみでなく、それを駆動するドライバ回路をも含み、そのデータアクセス回路部が、少なくとも一つのメモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置される。また、ロウデコーダ部がロウデコーダ回路のみでなく、それを駆動するロウデコーダドライバ回路をも含み、そのロウデコーダ部が、少なくとも一つのメモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置される。これにより、記憶容量の拡張のため、メモリセルサブアレイの配置数をワード線方向およびビット線方向に増やす場合でも、それに対応してデータアクセス回路部およびロウデコーダ部の配置数を増やすだけで、ドライバ回路およびロウデコーダドライバ回路の能力が、全体として、最適な値に設定される。また、データアクセス回路部内にドライバ回路を、ロウデコーダ部内にロウデコーダドライバ回路を設けたので、制御回路部の駆動能力は小さくて済み、制御回路部は小さくできる。したがって、高速動作が可能で、かつ、チップ面積が小さく抑えられた半導体記憶回路を実現することができる。

【 0 0 3 4 】

好ましくは、上記データアクセス回路部がワード線方向に配置されるピッチが、上記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであ

り、上記ロウデコーダ部がビット線方向に配置されるピッチが、上記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであるとする。

【0035】

これによると、半導体記憶回路の記憶容量の拡張に応じて最適なドライバ回路およびロウデコーダドライバ回路の能力を、無駄な領域を生じることなく設定することができる。

【0036】

また、好ましくは、上記半導体記憶回路は、上記メモリセルサブアレイのビット線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部と、この電源回路部の電圧供給動作を制御する電源制御回路部とを備えたものとする。そして、この電源回路部は、少なくとも一つの上記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されているものとする。

【0037】

そして、より好ましくは、上記電源回路部がワード線方向に配置されるピッチが、上記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであるとする。

【0038】

また、好ましくは、上記半導体記憶回路は、上記メモリセルサブアレイのワード線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部と、この電源回路部の電圧供給動作を制御する電源制御回路部とを備えたものとする。そして、この電源回路部は、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されているものとする。

【0039】

そして、より好ましくは、上記電源回路部がビット線方向に配置されるピッチが、上記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路

の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであるとする。

【0040】

また、具体的には、上記の各電源回路部は、上記メモリセルサブアレイのビット線のプリチャージ電圧を供給するビット線プリチャージ電源回路、および上記メモリセルサブアレイのワード線の活性電圧を供給するワード線電源回路の、少なくともいずれかを有するものとする。

【0041】

一方、上記課題を解決するために、本発明が講じた手段は、複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路のレイアウト方法として、上記メモリセルサブアレイと、上記メモリセルサブアレイのビット線方向の列に対応して設けられ、当該列に属する一または複数の上記メモリセルサブアレイのメモリセルに対してデータアクセスを行うデータアクセス回路および当該データアクセス回路を駆動する第1のドライバ回路を有するデータアクセス回路部とを、それぞれレイアウトするステップと、上記メモリセルサブアレイと、上記データアクセス回路部とを、上記データアクセス回路部が、少なくとも一つの上記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されるように、ワード線方向に反復配置するステップとを備えたものとする。

【0042】

本発明によると、データアクセス回路のみでなく、それを駆動するドライバ回路をも含むデータアクセス回路部を、少なくとも一つメモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置するので、記憶容量の拡張のため、メモリセルサブアレイの配置数をワード線方向に増やす場合でも、それに対応してデータアクセス回路部の配置数を増やすだけで、ドライバ回路の能力が、全体として、データアクセス回路の駆動のために最適な値に設定される。したがって、高速動作が可能で、かつ、チップ面積が小さく抑えられた半導体記憶回路を容易に実現することができる。

【0043】

好ましくは、上記データアクセス回路部がワード線方向に配置されるピッチが、上記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであるとする。

【0044】

これによると、半導体記憶回路の記憶容量の拡張に応じて最適なドライバ回路の能力を、無駄な領域を生じることなく設定することができる。

【0045】

また、好ましくは、上記のレイアウト方法は、上記メモリセルサブアレイのビット線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部をレイアウトするステップと、この電源回路部を、少なくとも一つの上記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されるように、ワード線方向に反復配置するステップとを備えたものとする。

【0046】

これによると、内部電源を必要とする、たとえば、DRAMなどの半導体記憶回路について、その内部電源電圧を供給する電源回路部を、メモリセルサブアレイのワード線方向の配置に合わせて、記憶容量に応じた数だけ配置することができる。これによって、電源回路の電流供給能力に過不足のない半導体記憶回路を実現することができる。

【0047】

そして、より好ましくは、上記電源回路部がワード線方向に配置されるピッチが、上記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであるとする。

【0048】

これによると、半導体記憶回路の記憶容量の拡張に応じて最適な電源回路の能力を、無駄な領域を生じることなく設定することができる。

【0049】

また、好ましくは、上記レイアウト方法は、第2のドライバ回路を有し、この第2のドライバ回路を介して上記メモリセルアレイのワード線を選択するロウデコード回路の動作を制御する制御回路部をレイアウトするステップと、この制御回路部を、上記データアクセス回路部とともにワード線方向に配置されるように配置するステップとを備えたものとする。ここで、上記データアクセス回路部は、上記メモリセルアレイのデータ線を駆動するデータ線ドライバ回路を有するものとする。そして、上記データ線ドライバ回路と上記第2のドライバ回路とは、直線状に配置されるものとする。

【0050】

これによると、制御回路部のドライバ回路とデータ線ドライバ回路とを直線状に配置するので、記憶容量の拡張に応じてそれらのドライバ回路の大きさを拡張する場合、直線状配置領域の幅を拡張するだけで良く、無駄な空白部分の発生が抑えられ、容易に小チップ面積の半導体記憶回路を実現することができる。

【0051】

そして、より好ましくは、上記データ線ドライバ回路および上記第2のドライバ回路のビット線方向の長さは、上記メモリセルサブアレイのビット線方向の配置を増減して、半導体記憶回路の記憶容量を拡張する際に、対応して拡張されるものとする。

【0052】

一方、上記課題を解決するために、本発明が講じた手段は、複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路のレイアウト方法として、上記メモリセルサブアレイと、上記メモリセルサブアレイのワード線方向の列に対応して設けられ、当該列に属する一または複数の上記メモリセルサブアレイのワード線を選択するロウデコード回路および当該ロウデコード回路を駆動するロウデコードドライバ回路を有するロウデコード部とを、それぞれレイアウトするステップと、上記メモリセルサブアレイと、上記ロウデコード部とを、上記ロウデコード部が、少なくとも一つの上記メモリセルサブアレイがビット線方向

に配置されるピッチと同じピッチでビット線方向に配置されるよう、ビット線方向に反復配置するステップとを備えたものとする。

【0053】

本発明によると、ロウデコーダ回路のみでなく、それを駆動するロウデコーダドライバ回路をも含むロウデコーダ部を、少なくとも一つのメモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでビット線方向に配置するので、記憶容量の拡張のため、メモリセルサブアレイの配置数をビット線方向に増やす場合でも、それに対応してロウデコーダ部の配置数を増やすだけで、ロウデコーダドライバ回路の能力が、全体として、ロウデコーダ回路の駆動のために最適な値に設定される。したがって、高速動作が可能で、かつ、チップ面積が小さく抑えられた半導体記憶回路を容易に実現することができる。

【0054】

好ましくは、上記ロウデコーダ部がビット線方向に配置されるピッチが、上記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであるとする。

【0055】

これによると、半導体記憶回路の記憶容量の拡張に応じて最適なロウデコーダドライバ回路の能力を、無駄な領域を生じることなく設定することができる。

【0056】

また、好ましくは、上記のレイアウト方法は、上記メモリセルサブアレイのワード線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部をレイアウトするステップと、この電源回路部を、少なくとも一つの上記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されるように、ビット線方向に反復配置するステップとを備えたものとする。

【0057】

これによると、内部電源を必要とする、たとえば、DRAMなどの半導体記憶回路について、その内部電源電圧を供給する電源回路部を、メモリセルサブアレ

イのビット線方向の配置に合わせて、記憶容量に応じた数だけ配置することができる。これによって、電源回路の電流供給能力に過不足のない半導体記憶回路を実現することができる。

【 0 0 5 8 】

そして、より好ましくは、上記電源回路部がビット線方向に配置されるピッチが、上記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであるとする。

【 0 0 5 9 】

これによると、半導体記憶回路の記憶容量の拡張に応じて最適な電源回路の能力を、無駄な領域を生じることなく設定することができる。

【 0 0 6 0 】

また、好ましくは、上記レイアウト方法は、第 3 のドライバ回路を有し、この第 3 のドライバ回路を介して上記メモリセルアレイのメモリセルに対してデータアクセスを行うデータアクセス回路の動作を制御する制御回路部をレイアウトするステップと、この制御回路部を、上記ロウデコーダ部とともにビット線方向に配置されるように配置するステップとを備えたものとする。ここで、上記ロウデコーダ部は、上記ロウデコーダ回路によって選択された上記メモリセルアレイのワード線を駆動するワード線ドライバ回路を有するものとする。そして、上記ワード線ドライバ回路と上記第 3 のドライバ回路とは、直線状に配置されるものとする。

【 0 0 6 1 】

これによると、制御回路部のドライバ回路とワード線ドライバ回路とを直線状に配置するので、記憶容量の拡張に応じてそれらのドライバ回路の大きさを拡張する場合、直線状配置領域の幅を拡張するだけで良く、無駄な空白部分の発生が抑えられ、容易に小チップ面積の半導体記憶回路を実現することができる。

【 0 0 6 2 】

そして、より好ましくは、上記ワード線ドライバ回路および上記第 3 のドライバ回路のワード線方向の長さは、上記メモリセルサブアレイのワード線方向の配

置を増減して、半導体記憶回路の記憶容量を拡張する際に、対応して拡張されるものとする。

【0063】

一方、上記課題を解決するために、本発明が講じた手段は、複数のメモリセルからなるメモリセルサブアレイを、ビット線方向およびワード線方向に、行列状に配置してなるメモリセルアレイを備えた半導体記憶回路のレイアウト方法として、上記メモリセルサブアレイと、上記メモリセルサブアレイのビット線方向の列に対応して設けられ、当該列に属する一または複数の上記メモリセルサブアレイのメモリセルに対してデータアクセスを行うデータアクセス回路および当該データアクセス回路を駆動する第1のドライバ回路を有するデータアクセス回路部と、上記メモリセルサブアレイのワード線方向の列に対応して設けられ、当該列に属する一または複数の上記メモリセルサブアレイのワード線を選択するロウデコード回路および当該ロウデコード回路を駆動するロウデコードドライバ回路を有するロウデコード部とを、それぞれレイアウトするステップと、上記メモリセルサブアレイと、上記データアクセス回路部とを、上記データアクセス回路部が、少なくとも一つの前記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されるように、ワード線方向に反復配置し、かつ、上記メモリセルサブアレイと、上記ロウデコード回路部とを、上記ロウデコード回路部が、少なくとも一つの前記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されるように、ビット線方向に反復配置するステップとを備えたものとする。

【0064】

本発明によると、データアクセス回路のみでなく、それを駆動するドライバ回路をも含むデータアクセス回路部が、少なくとも一つのメモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置される。また、ロウデコード回路のみでなく、それを駆動するロウデコードドライバ回路をも含むロウデコード部が、少なくとも一つのメモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでビット線方向に配置される。これにより、記憶容量の拡張のため、メモリセルサブアレイの配置数をワード線方向およびビ

ット線方向に増やす場合でも、それに対応してデータアクセス回路部およびロウデコーダ部の配置数を増やすだけで、ドライバ回路およびロウデコーダドライバ回路の能力が、全体としてそれぞれ最適な値に設定される。したがって、高速動作が可能で、チップ面積が小さく抑えられ、かつ、半導体記憶回路を容易に実現することができる。

【0065】

好ましくは、上記データアクセス回路部がワード線方向に配置されるピッチが、上記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであり、かつ、上記ロウデコーダ部がビット線方向に配置されるピッチが、上記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであるとする。

【0066】

これによると、半導体記憶回路の記憶容量の拡張に応じて、最適なデータアクセス回路部のドライバ回路の能力、および最適なロウデコーダドライバ回路の能力を、無駄な領域を生じることなく設定することができる。

【0067】

また、好ましくは、上記のレイアウト方法は、上記メモリセルサブアレイのビット線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部をレイアウトするステップと、この電源回路部を、少なくとも一つの上記メモリセルサブアレイがワード線方向に配置されるピッチと同じピッチでワード線方向に配置されるように、ワード線方向に反復配置するステップとを備えたものとする。

【0068】

これによると、内部電源を必要とする、たとえば、DRAMなどの半導体記憶回路について、その内部電源電圧を供給する電源回路部を、メモリセルサブアレイのワード線方向の配置に合わせて、記憶容量に応じた数だけ配置することができる。これによって、電源回路の電流供給能力に過不足のない半導体記憶回路を実現することができる。

【0069】

そして、より好ましくは、上記電源回路部がワード線方向に配置されるピッチが、上記メモリセルサブアレイのワード線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のワード線方向の長さに相当するものであるとする。

【0070】

これによると、半導体記憶回路の記憶容量の拡張に応じて最適な電源回路の能力を、無駄な領域を生じることなく設定することができる。

【0071】

また、好ましくは、上記レイアウト方法は、上記メモリセルサブアレイのワード線方向の列に対応して設けられ、半導体記憶回路内で用いられる電源電圧を供給する電源回路部をレイアウトするステップと、この電源回路部を、少なくとも一つの上記メモリセルサブアレイがビット線方向に配置されるピッチと同じピッチでビット線方向に配置されるように、ビット線方向に反復配置するステップとを備えたものとする。

【0072】

そして、より好ましくは、上記電源回路部がビット線方向に配置されるピッチが、上記メモリセルサブアレイのビット線方向の配置を増やして半導体記憶回路の記憶容量を拡張する際の回路拡張単位のビット線方向の長さに相当するものであるとする。

【0073】**【発明の実施の形態】**

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0074】**(第1の実施形態)**

図1は、本発明の第1の実施形態に係る半導体記憶回路のレイアウトを示す。本実施形態の半導体記憶回路1は、ビット線方向（列方向、同図では左右の方向）に4個およびワード線方向（行方向、同図では上下の方向）に8個の行列状に配置されたメモリセルサブアレイ10からなるメモリセルアレイ100を備えて

いる。

【0075】

半導体記憶回路 1 において、4 個のメモリセルサブアレイ 10 と、そのメモリセルサブアレイのメモリセルに対するデータアクセス、すなわち選択されたメモリセルに対するデータの書き込みまたは読み出しを行うためのデータアクセス回路部 11 と、電源回路部 12 とが、ビット線方向に並べて配置されている。また、8 個のメモリセルサブアレイ 10 とロウデコーダ部 13 とがワード線方向に並べて配置されている。そして、データアクセス回路部 11 の列とロウデコーダ部 13 の列との交点に当たる部分には、外部から半導体記憶回路 1 に与えられた信号に基づいて、データアクセス回路部 11 およびロウデコーダ部 13 を制御する制御回路部 14 が配置されている。また、電源回路部 12 の列とロウデコーダ部 13 の列との交点に当たる部分には、電源回路部 12 を制御する電源制御回路部 15 が配置されている。

【0076】

データアクセス回路部 11 は、列方向に配置された 4 個のメモリセルサブアレイ 10 に対して共通に設けられたデータ線に結合されたデータ線ドライバ回路 16 を有する。データ線ドライバ回路 16 は、データアクセス回路部 11 によって選択されたデータ線に所定の電圧を印加して、当該データ線を駆動する。

【0077】

また、各データアクセス回路部 11 は、データアクセス回路として、後に詳細に説明するように、データ入出力バッファ回路、データバス選択回路、リードアンプ・ライトバッファ回路等を含み、さらにそれらのデータアクセス回路を駆動するドライバ回路 111 を有する。ドライバ回路 111 は、制御回路部 14 において生成され各データアクセス回路部 11 に供給される信号の信号線 142 を駆動するドライバ回路 141 から延びる信号線 142 によって結線されており、制御回路部 14 のドライバ回路 141 が出力する制御信号に応じてその駆動動作が制御される。

【0078】

電源回路部 12 は、半導体記憶回路 1 の動作のために必要な電圧を供給する。

電源回路部 1 2 の電流供給能力は、メモリセルサブアレイ 1 0 の 4 個分に対して必要十分な量に制限されている。

【0 0 7 9】

また、各電源回路部 1 2 は、電源制御回路部 1 5 におけるドライバ回路 1 5 1 から延びる信号線 1 5 2 によって結線されており、ドライバ回路 1 5 1 が駆動する制御信号に応じてその電圧供給動作が制御される。

【0 0 8 0】

ロウデコーダ部 1 3 は、ロウデコーダ回路 1 3 1 とワード線ドライバ回路 1 7 とを有する。ロウデコーダ回路 1 3 1 は、行方向に並んだ 8 個のメモリセルサブアレイ 1 0 のワード線（図示せず）を選択し、ワード線ドライバ回路 1 7 を介して、選択したワード線の活性化・非活性化を行う。ワード線ドライバ回路 1 7 は、ロウデコーダ回路 1 3 1 によって選択されたワード線に所定の電圧を印加して、当該ワード線を駆動する。

【0 0 8 1】

また、各ロウデコーダ部 1 3 は、ロウデコーダドライバ回路 1 3 2 を有し、ロウデコーダ回路 1 3 1 は、これによって駆動される。ロウデコーダドライバ回路 1 3 2 は、制御回路部 1 4 におけるドライバ回路 1 4 3 から延びる信号線 1 4 4 によって結線されており、制御回路部 1 4 によって生成され、ドライバ回路 1 4 3 によって駆動される信号線 1 4 4 を介して伝達される制御信号に応じてその駆動動作が制御される。

【0 0 8 2】

さらに、ビット線方向に並ぶ 4 個のメモリセルサブアレイ 1 0 およびそれに対応するデータアクセス回路部 1 1 および電源回路部 1 2 のそれぞれのワード線方向の長さは、実質的に等しくされ、それぞれ、ワード線方向に同じピッチで上下にそれぞれ 4 個配置されている。同様に、ワード線方向に並ぶ 8 個のメモリセルサブアレイ 1 0 およびそれに対応するロウデコーダ部 1 3 のそれぞれのビット線方向の長さもまた、実質的に等しくされ、それぞれ、ビット線方向に同じピッチで 4 個配置されている。

【0 0 8 3】

また、ドライバ回路 141 と、ワード線ドライバ回路 17 と、ドライバ回路 151 とは、ビット線方向に並べて配置されている。同様に、ドライバ回路 143 と、データ線ドライバ回路 16 とは、ワード線方向に並べて配置されている。

【0084】

次に、データアクセス回路部 11 の構成について詳細に説明する。

【0085】

図 2 は、データアクセス回路部 11 の内部構成を示す。データアクセス回路部 11 において、データアクセス回路として、本実施形態では、メモリセルサブアレイ 10 に近い方からビット線方向に、順に、リードアンプ・ライトバッファ回路 112、データバス選択回路 113 およびデータ入出力バッファ回路 114 が配置されている。ドライバ回路 111 としては、リードアンプ・ライトバッファ回路 112 を駆動するドライバ回路 111a、データバス選択回路 113 を駆動するドライバ回路 111b およびデータ入出力バッファ回路を駆動するドライバ回路 111c を備えている。また、ドライバ回路 141 としては、ドライバ回路 111a、111b および 111c をそれぞれ駆動するドライバ回路 141a、141b および 141c を備えている。信号線 142 として、信号線 142a、142b および 142c が、ドライバ回路 141a、141b および 141c とドライバ回路 111a、111b および 111c とをそれぞれ結線している。

【0086】

図 3 は、リードアンプ・ライトバッファ回路 112 のうち、特にリードアンプとその周辺回路およびそれに対応するドライバ回路 111a の回路構成例を示す。リードアンプ回路 112a は、メモリサブアレイ 10 から延びる相補データ線対 DL_i および DL_iX を通じて与えられるデータを増幅して、信号 DO_i を出力する回路である。なお、*i* は 0 から 7 までの整数を表す。また、リードアンプ周辺回路である回路 115 は、相補データ線対 DL_i および DL_iX を電圧 V_{DD} のレベルにプリチャージおよびイコライズする。

【0087】

リードアンプ回路 112a およびその周辺回路 115 は、それぞれ、ドライバ回路 111a から出力される信号 RAE および EQX によって、その活性・非活

性が切り替えられる。信号 RAE および EQX の元となる信号は、ドライバ回路 141 から出力される制御信号 RAED および EQDX である。ドライバ回路 111a はこれら制御信号 RAED および EQDX の駆動能力を上げ、信号 RAE および EQX として出力する。

【0088】

図 4 は、ドライバ回路 111 の好ましい配置例を示す図である。メモリセルサブアレイ 10 において、ワード線の配線抵抗を低減するために、たとえば、裏打ち配線を設けたり、あるいは、サブワードドライバを設けたりするのが一般的である。ドライバ回路 111 は、裏打ち配線のコンタクト領域やサブワードドライバの配置領域などのように、メモリセルの配置が中断される中断領域（同図においてハッチング表示した部分）からビット線方向に延びた領域に配置するのが好ましい。

【0089】

次に、電源回路部 12 の構成について詳細に説明する。

【0090】

図 5 は、電源回路部 12 の内部構成を示す。電源回路部 12 は、ビット線プリチャージ電圧 VBP を供給するビット線プリチャージ電源回路 121、およびワード線電源回路としてワード線駆動用電圧 VPP を供給する昇圧ポンプ回路 122 を備えている。電源回路部 12 が出力する電圧 VBP は、共通の電源線によって結線されている。すなわち、電圧 VBP は、それぞれ、メモリセルアレイ 10 全体に、共通の電源ノードとして供給される。

【0091】

ビット線プリチャージ電源回路 121 は、直列に接続された pch トランジスタ 121a および nch トランジスタ 121b を備え、ビット線プリチャージのための電圧 VBP を供給する。pch トランジスタ 121a および nch トランジスタ 121b のゲート電圧は、電源制御回路部 15 におけるドライバ回路 151 の一部であるドライバ回路 151a によって、信号線 152 の一部である信号線 Cp および Cn を通じてそれぞれ制御される。すなわち、信号線 Cp および Cn を通じて、ビット線プリチャージ電源回路 121 の出力電圧 VBP が制御され

る。

【0092】

ドライバ回路151aは、出力電圧VBBが所望の値となるように、信号線CpおよびCnを通じてビット線プリチャージ電源回路121を制御する周知の回路である。

【0093】

一方、昇圧ポンプ回路122は、メモリセルサブアレイ10において、選択され、活性化されるワード線に印加される電圧VPPを供給する。昇圧ポンプ回路122は、電源制御回路部15によって、ドライバ回路151bを介し、信号線152の一部である信号線Ca、Cb、CcおよびCdを通じて制御される。

【0094】

図6は、昇圧ポンプ回路122の回路構成例を示す。昇圧ポンプ回路122におけるポンプキャパシタ122a、122b、122cおよび122dには、それぞれ信号線Ca、Cb、CcおよびCdを通じて制御信号が与えられる。そして、複数のnc hトランジスタで構成されたクロスカップル回路122eおよび122fは、相補的に、ポンプキャパシタ122a、122b、122cおよび122dを介して制御信号を受け、ポンプキャパシタの片側の電位を昇圧してVPPノードに供給する。

【0095】

電源制御回路部15は、たとえば、VPP電位検知回路やリングオシレータ回路を含むように構成すればよい。

【0096】

なお、本実施形態では、電源回路部12に、ビット線プリチャージ電源回路121および昇圧ポンプ122を設けるものとしたが、これらのいずれか一方を設けるようにしてもよし、他の電源回路を設けるようにしてもよい。

【0097】

本実施形態の半導体記憶回路1について、そのレイアウトは、次のようにして行う。まず、メモリセルサブアレイ10、データアクセス回路部11、制御回路部14、ロウデコーダ部13、電源回路部12、電源制御回路部15などをそれ

ぞれレイアウトする。次に、これらを図1に示すごとくアレイ配置する。この際、データアクセス回路部11と、ビット線方向に配置された4個のメモリセルサブアレイ10と、電源回路部12とが、すべて同一ピッチでワード線方向に配置されるので、これらをビット線方向に並べたもの、すなわち図1において回路拡張単位UNIT1として示した部分が、半導体記憶回路1のメモリ容量を変更する際の単位となる。すなわち、回路拡張単位UNIT1をワード線方向に何個配置するかによってメモリ容量を所望の値に設定することができる。さらに、各々のデータアクセス回路部11からデータを並列に取り出し、また、その各々に対してデータを並列に入力する場合には、半導体記憶回路1のI/O幅をも、回路拡張単位UNIT1をワード線方向に何個配置するかによって所望の値に設定することができる。

【0098】

これにより、極めて容易な方法で、チップ面積および回路特性が最適化された半導体記憶回路を設計することができる。

【0099】

本実施形態では、メモリセルサブアレイ10の列の両端にデータアクセス回路部11および電源回路部12を設けているが、配置順は特に問わない。

【0100】

ここで、回路拡張単位UNIT1に含まれる電源回路部12の電流供給能力を、4個のメモリセルサブアレイ10を駆動するのに必要かつ十分な大きさとなるように最適化しておく。また、ドライバ回路111の駆動能力を、1個のデータアクセス回路部11に含まれるデータアクセス回路の駆動に必要なかつ十分な大きさとなるように最適化しておく。これにより、単に、回路拡張単位UNIT1をワード線方向に所望数配置するだけで、メモリセルアレイの規模に応じた最適な駆動能力を有する半導体記憶回路を得ることができる。

【0101】

また、ドライバ回路141と、ワード線ドライバ回路17と、ドライバ回路151とを、ビット線方向に直線状に並べて配置し、これらの回路が直線状に配置される領域には半導体記憶回路内の他の回路が配置されないようにする。こうす

ることによって、回路拡張単位 U N I T 1 の配置数の増減に応じて、それぞれが占める回路領域を、ワード線方向に同時に同じ長さだけ拡張縮することによって、それぞれのドライバ回路の駆動能力を最適に設定することができる。ドライバ回路領域の拡張に伴う無駄な領域の発生も最小に抑えることができる。すなわち、これにより、回路拡張単位 U N I T 1 の配置数の増減に応じて、最適な駆動能力を有するドライバ回路を、無駄な空き領域が生じないように、効率よく配置することができる。

【 0 1 0 2 】

以上、本実施形態によると、回路拡張単位 U N I T 1 をワード線方向に所望数配置するだけで、必要とされる記憶容量および I / O 幅を有し、かつ動作速度・消費電力などの観点から回路特性が最適化され、チップ面積が小さく抑えられた半導体記憶回路 1 を得ることができる。

【 0 1 0 3 】

なお、本実施形態に係るメモリセルアレイ 1 0 0 の配置は、あくまでも一例であって、実際の配置は必要とする記憶容量および I / O 幅に応じてさまざまに変化する。また、本実施形態では、メモリセルアレイ 1 0 0 の中間にロウデコード部 1 3 を挿入した回路構成となっているが、本発明はこれに限定されるものではない。

【 0 1 0 4 】

また、上記説明は、半導体記憶回路 1 が D R A M であることを前提としたものであるが、本発明はこれに限定されるものではない。本発明の半導体記憶回路は、マスク R O M やフラッシュメモリなどの各種 R O M や、S R A M (Static Random Access Memory) などの各種 R A M にも応用が可能である。本発明を、たとえば、S R A M に応用する場合には、昇圧ポンプ回路 1 2 2 は、特に設ける必要がない。また、本発明を、たとえば、各種 R O M に応用する場合には、特に、電源回路部 1 2 自体を設ける必要がない。

【 0 1 0 5 】

また、半導体記憶回路 1 は、システム L S I に含まれる混載 D R A M 等の混載メモリとして用いるのが好適であるが、単体のメモリとして用いてもよい。

【0106】

また、本実施形態では、回路拡張単位UNIT1が、ワード線方向に関して1つのメモリセルサブアレイ10に対応するものとしたが、必要に応じて、たとえば、ワード線方向に関して2つ以上のメモリセルサブアレイ10をまとめて、回路拡張単位としてもよいのはもちろんである。その場合は、その2つ以上のメモリセルサブアレイ10の配置されるピッチに合わせて、データアクセス回路部または電源回路部が同じピッチで配置されるようにしてもよい。

【0107】

(第2の実施形態)

図7は、本発明の第2の実施形態に係る半導体記憶回路のレイアウトを示す。本実施形態の半導体記憶回路2は、ビット線方向（列方向、同図では左右の方向）に4個およびワード線方向（行方向、同図では上下の方向）に4個の行列状に配置されたメモリセルサブアレイ10からなるメモリセルアレイ100を備えている。以下、第1の実施形態に係る半導体記憶回路1における構成要素と同様のものについては、図1に付した符号と同一の符号で参照してその説明を省略し、第1の実施形態と異なる点についてのみ説明する。

【0108】

半導体記憶回路2は、電源回路部12が、ワード線方向の4個のメモリセルサブアレイ10とともにビット線方向に並べられて配置されている点で、第1の実施形態に係る半導体記憶回路1とは、その構成が異なっている。

【0109】

本実施形態の半導体記憶回路2について、そのレイアウトは、次のようにして行う。まず、メモリセルサブアレイ10、データアクセス回路部11、制御回路部14、ロウデコーダ部13、電源回路部12、電源制御回路部15などをそれぞれレイアウトする。次に、これらを図7に示すごとくアレイ配置する。この際、ロウデコーダ部13と、ワード線方向に配置された4個のメモリセルサブアレイ10と、電源回路部12とが、すべて同一ピッチでビット線方向に配置されるので、これらをワード線方向に並べたもの、すなわち図7において回路拡張単位UNIT2として示した部分が、半導体記憶回路2のメモリ容量を変更する際の

単位となる。すなわち、回路拡張単位 U N I T 2 をワード線方向に何個配置するかによってメモリ容量を所望の値に設定することができる。

【 0 1 1 0 】

これにより、極めて容易な方法で、チップ面積および回路特性が最適化された半導体記憶回路を設計することができる。

【 0 1 1 1 】

ここで、第 1 の実施形態と同様に、回路拡張単位 U N I T 2 に含まれる電源回路部 1 2 の電流供給能力を、4 個のメモリセルサブアレイ 1 0 を駆動するのに必要かつ十分な大きさとなるように最適化しておく。また、ロウデコードドライバ回路 1 3 2 の駆動能力を、1 個のロウデコード回路 1 3 1 の駆動に必要なかつ十分な大きさとなるように最適化しておく。これにより、単に、回路拡張単位 U N I T 2 をビット線方向に所望数配置するだけで、メモリセルアレイの規模に応じた最適な駆動能力を有する半導体記憶回路を得ることができる。

【 0 1 1 2 】

また、ドライバ回路 1 4 3 と、データ線ドライバ回路 1 6 と、ドライバ回路 1 5 1 とを、ワード線方向に直線状に並べて配置し、これらの回路が直線状に配置される領域には半導体記憶回路内の他の回路が配置されないようにする。こうすることによって、回路拡張単位 U N I T 2 の配置数の増減に応じて、それぞれが占める回路領域を、ビット線方向に同時に同じ長さだけ拡張縮小することで、それぞれのドライバ回路の駆動能力を最適に設定することができる。ドライバ回路領域の拡張縮小に伴う無駄な領域の発生も最小に抑えることができる。すなわち、これにより、回路拡張単位 U N I T 2 の配置数の増減に応じて、最適な駆動能力を有するドライバ回路を、無駄な空き領域が生じないように、効率よく配置することができる。

【 0 1 1 3 】

以上、本実施形態によると、回路拡張単位 U N I T 2 をビット線方向に所望数配置するだけで、必要とされる記憶容量を有し、かつ動作速度・消費電力等の観点から回路特性が最適化され、チップ面積が小さく抑えられた半導体記憶回路 2 を得ることができる。

【0114】

また、本実施形態では、回路拡張単位UNIT2が、ビット線方向に関して1つのメモリセルサブアレイ10に対応するものとしたが、必要に応じて、たとえば、ビット線方向に関して2つ以上のメモリセルサブアレイ10をまとめて、回路拡張単位としてもよいのはもちろんである。その場合は、その2つ以上のメモリセルサブアレイの配置されるピッチに合わせて、ロウデコード回路部または電源回路部が同じピッチで配置されるようにしてもよい。

【0115】

また、第1の実施形態の場合と同様に、半導体記憶回路2は、システムLSIに含まれる混載メモリとして用いるのが好適であるが、単体のメモリとして用いてもよい。図8は、混載メモリ3として用いる場合の構成を示す。記憶部5として、上に説明した半導体記憶回路1または2を用いる。演算部4は、記憶部5に対するデータの授受および制御を行う。

【0116】**【発明の効果】**

以上説明したように、本発明によると、ドライバ回路の駆動能力を記憶容量などにあわせて最適化して高速動作、あるいは、低消費電力動作を可能とし、かつ、チップ面積を小さく抑えながら、記憶容量が所望の値に設定された半導体記憶回路を提供することができる。さらに、本発明の半導体記憶回路のレイアウト方法によると、そのような半導体記憶回路を短期間に低コストで提供することができる。

【図面の簡単な説明】**【図1】**

本発明の第1の実施形態に係る半導体記憶回路のレイアウト図である。

【図2】

データアクセス回路部の内部構成図である。

【図3】

リードアンプとその周辺回路およびそのドライバ回路の回路図である。

【図4】

データアクセス回路部におけるドライバ回路の好ましい配置例を示す図である。

【図 5】

電源回路の内部構成図である。

【図 6】

昇圧ポンプ回路の回路図である。

【図 7】

本発明の第 2 の実施形態に係る半導体記憶回路のレイアウト図である。

【図 8】

本発明の半導体集積回路を混載メモリとして用いるシステム L S I を模式的に表す図である。

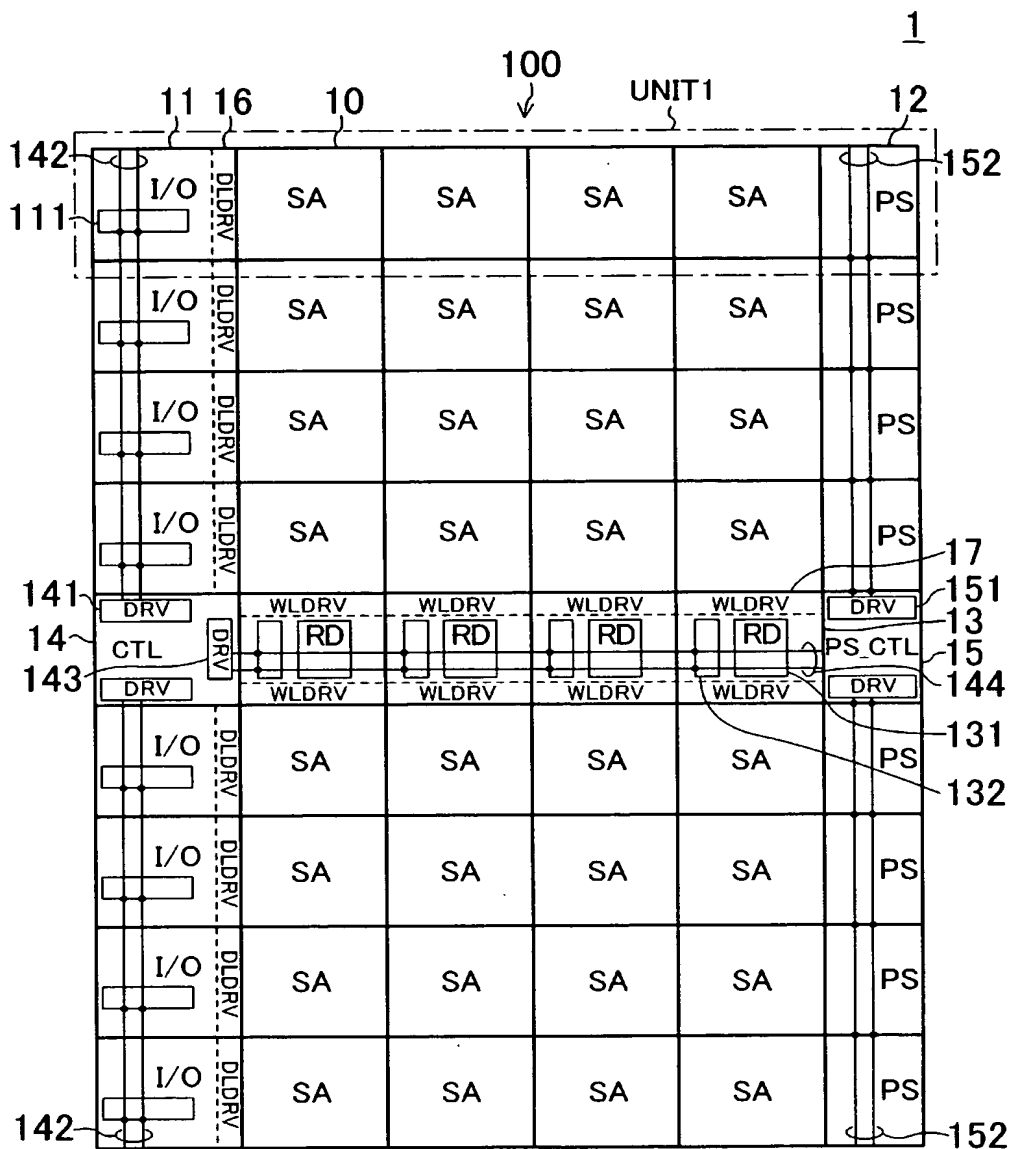
【符号の説明】

- 1, 2 半導体記憶回路
- 1 0 メモリセルサブアレイ
- 1 0 0 メモリセルアレイ
- 1 1 データアクセス回路部
- 1 1 1, 1 1 1 a, 1 1 1 b, 1 1 1 c ドライバ回路
- 1 2 電源回路部
- 1 2 1 ビット線プリチャージ電源回路
- 1 2 2 昇圧ポンプ回路
- 1 3 ロウデコーダ部
- 1 3 1 ロウデコーダ回路
- 1 3 2 ロウデコーダドライバ回路
- 1 4 制御回路部
- 1 4 1, 1 4 1 a, 1 4 1 b, 1 4 1 c, 1 4 3 ドライバ回路
- 1 5 電源制御回路部
- 1 5 1, 1 5 1 a, 1 5 1 b ドライバ回路
- 1 6 データ線ドライバ回路
- 1 7 ワード線ドライバ回路

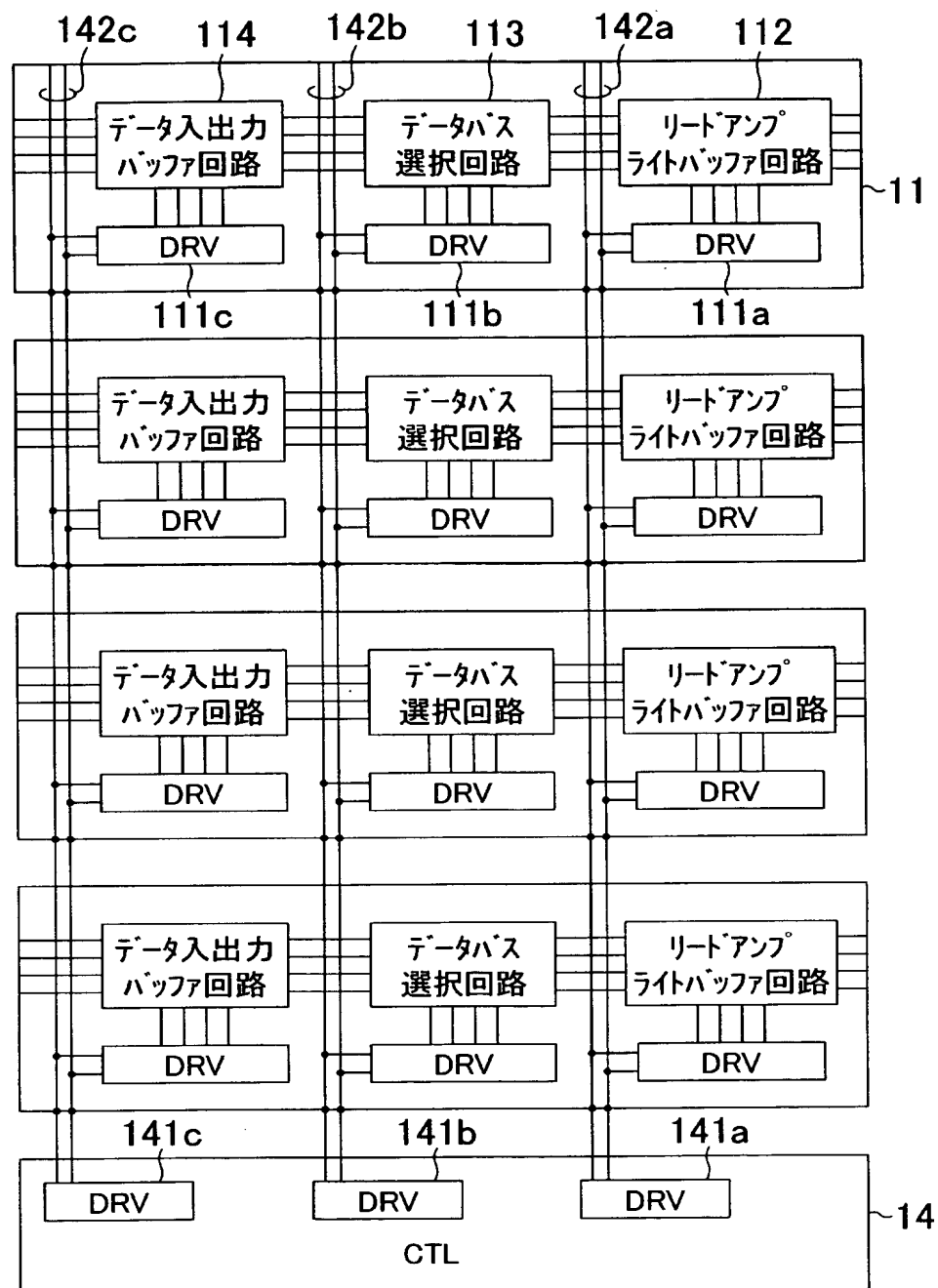
UNIT 1, UNIT 2 回路拡張単位

【書類名】 図面

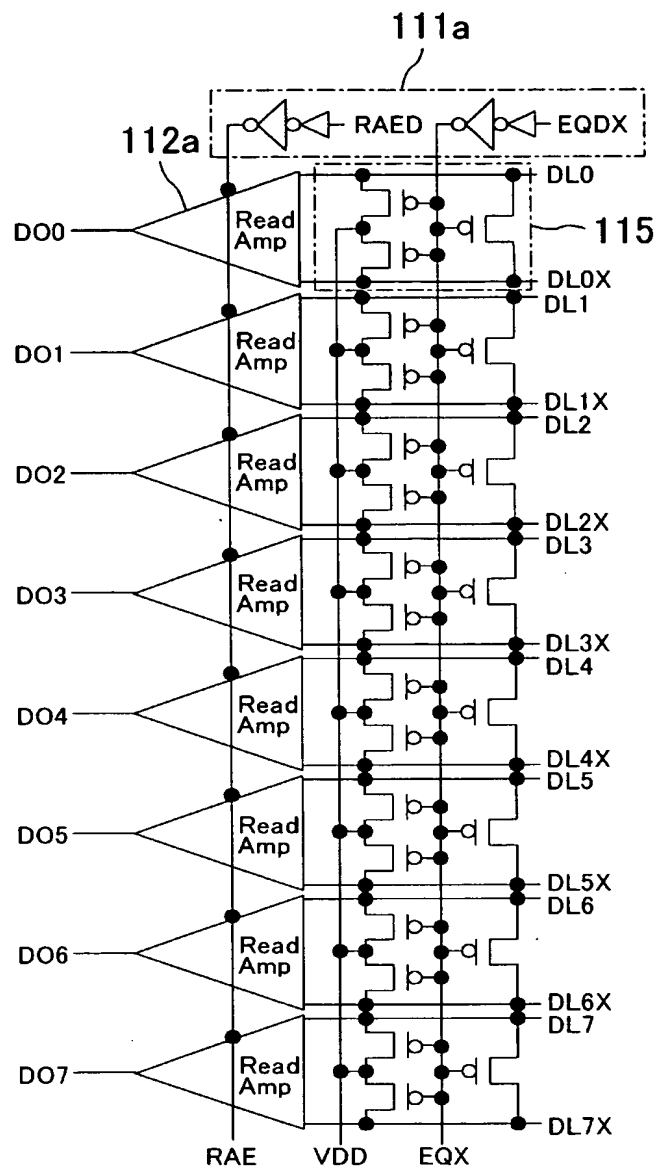
【図 1】



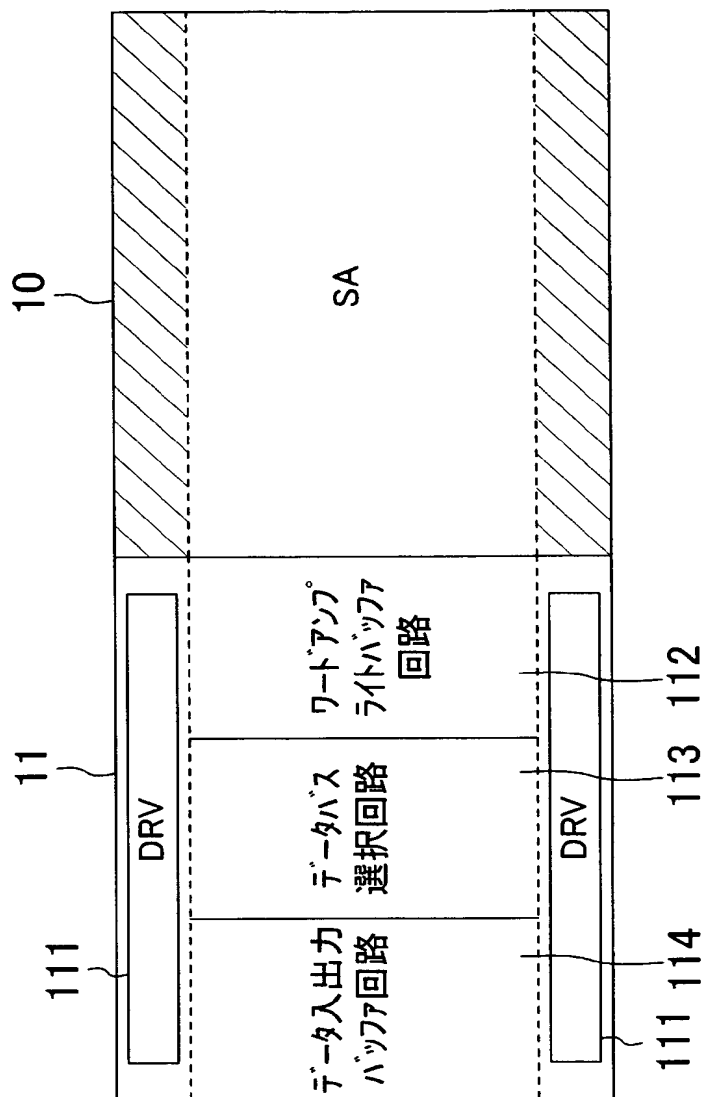
【図 2】



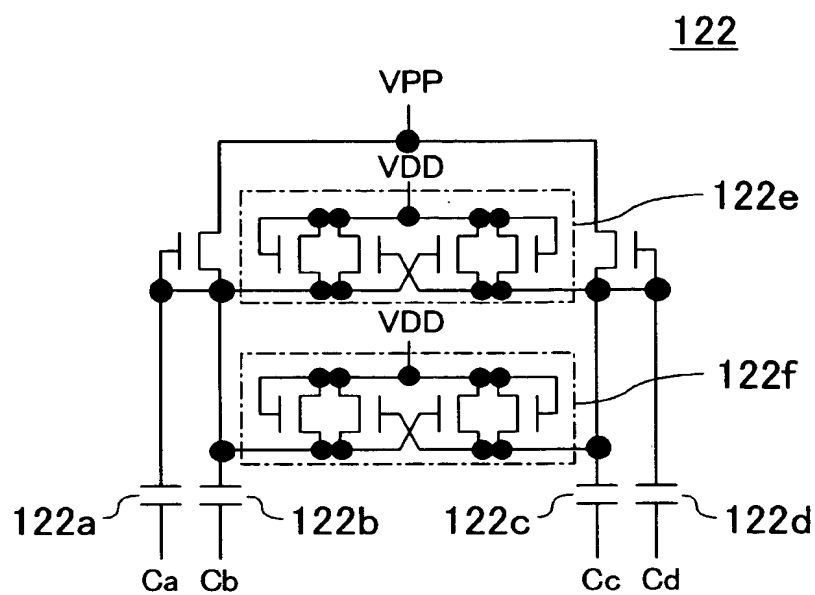
【図 3】



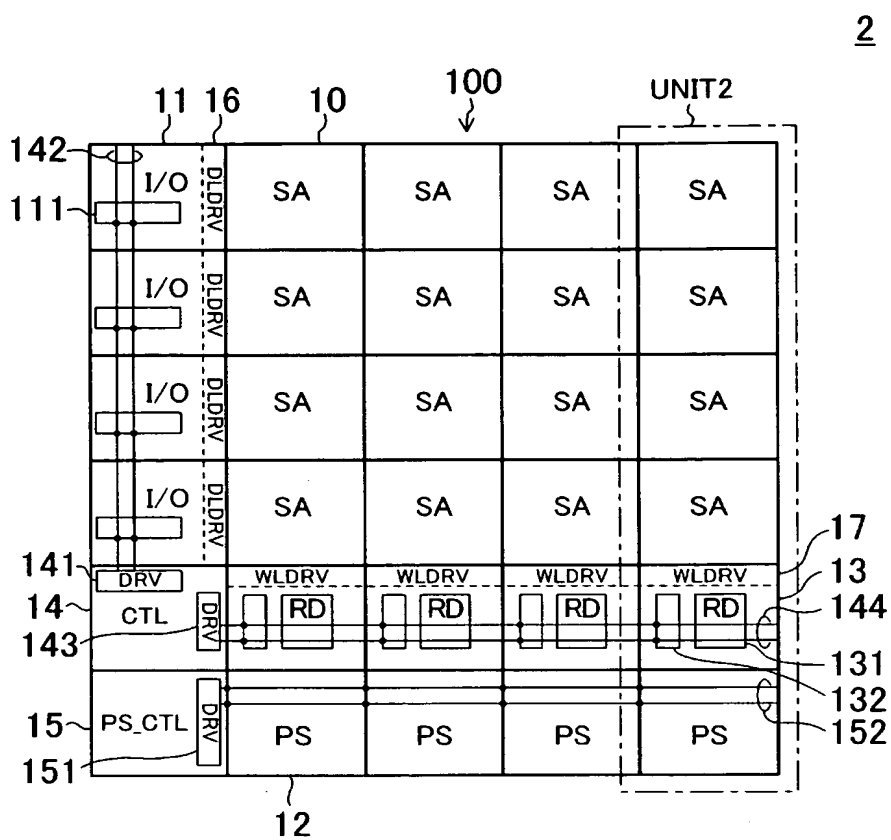
【図 4】



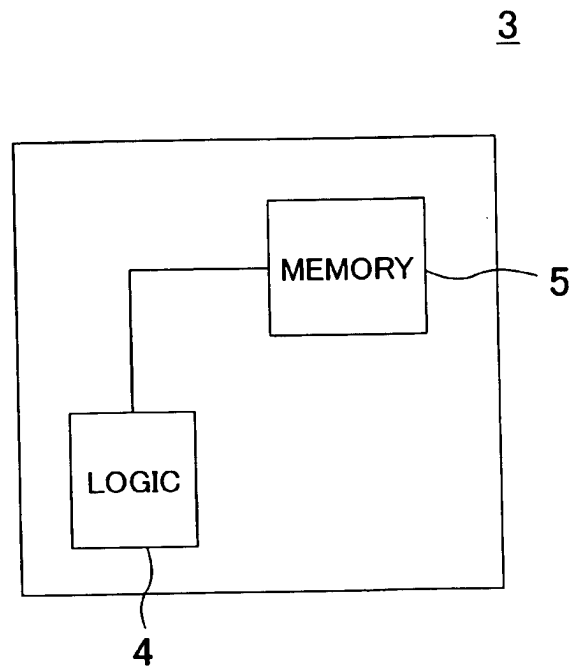
【図 6】



【図 7】



【図 8】



【書類名】 要約書**【要約】**

【課題】 高速・低消費電力動作を可能とし、かつ、チップ面積を小さく抑えながら、記憶容量が所望の値に設定された半導体記憶回路を短期間に低コストで提供する。

【解決手段】 データアクセス回路部（11）と4個のメモリセルサブアレイ（10）と電源回路部（12）とがビット線方向に並べて配置された回路拡張単位（UNIT1）を、ワード線方向に所望数配置して、半導体記憶回路（1）をレイアウトする。データアクセス回路部（11）は、ドライバ回路（111）によって駆動され、その駆動動作はドライバ回路（141）によって制御される。また、電源回路部（12）の電圧供給動作はドライバ回路（151）によって制御される。こうしてレイアウトされた半導体記憶回路（1）は、所望の記憶容量に設定されたメモリセルアレイ（100）の規模に応じた駆動および電圧供給能力を有する。

【選択図】 図1

特願 2 0 0 3 - 0 7 3 2 2 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社